

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 23/60 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310115289.3

[45] 授权公告日 2007 年 6 月 20 日

[11] 授权公告号 CN 1322586C

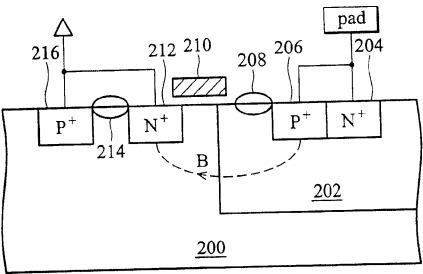
[22] 申请日 2003.11.27
[21] 申请号 200310115289.3
[73] 专利权人 世界先进积体电路股份有限公司
地址 台湾省新竹科学工业园区
[72] 发明人 林耿立 周业宁 柯明道
[56] 参考文献
CN1354516A 2002.6.19
CN1404159A 2003.3.19
JP7-283409A 1995.10.27
审查员 刘静_1

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 王一斌

权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称
高压集成电路的静电放电保护装置

[57] 摘要
一种高压集成电路的静电放电 (ESD) 保护装置，运用于高电压的金属氧化物半导体场效应晶体管。本发明利用金属氧化物半导体场效应晶体管既有的结构，额外加上一个扩散区，来产生一个寄生的硅控整流器。并且，在适当的安排下，该硅控整流器的放电路径较短，因而有较快的反应速度，所以提供较佳的 ESD 防护。



1. 一种高压集成电路的静电放电保护装置，其特征在于所述静电放电保护装置包括：

一第一导电型基底；

一第二导电型井区，形成于该基底中；

一第二导电型第一扩散区，形成于该基底中；

一栅极，用以控制该第二导电型第一扩散区与该井区的电连接，该栅极、该第二导电型第一扩散区与该井区构成一场效应晶体管；

一第二导电型第二扩散区，形成于该井区中，作为该井区的电接触点；
以及

一第一导电型第一扩散区，形成于该井区中，位于该第二导电型第二扩散区与该栅极之间，其中，该第一导电型第一扩散区、该井区、该基底以及该第二导电型第一扩散区组成一寄生的硅控整流器。

2. 根据权利要求 1 所述的静电放电保护装置，其特征在于：该静电放电保护装置另包含有一第一导电型第二扩散区，形成于该基底中，作为该基底的电接触点。

3. 根据权利要求 2 所述的静电放电保护装置，其特征在于：该第一导电型为 P 型，该第二导电型为 N 型。

4. 根据权利要求 3 所述的静电放电保护装置，其特征在于：该第二导电型第一扩散区及该第一导电型第二扩散区在操作下，是连接一第一电源线。

5. 根据权利要求 1 所述的静电放电保护装置，其特征在于：该第一导电型为 N 型，该第二导电型为 P 型。

6. 根据权利要求 2 所述的静电放电保护装置，其特征在于：该第二导电型第一扩散区及该第一导电型第二扩散区在操作下，是连接一第

二电源线。

7. 根据权利要求 1 所述的静电放电保护装置, 其特征在于: 更包括一场氧化区, 位于该栅极与该第一导电型第一扩散区之间。

8. 根据权利要求 2 所述的静电放电保护装置, 其特征在于: 更包括一场氧化区, 位于该第一导电型第二扩散区与该第二导电型第一扩散区之间。

9. 根据权利要求 1 所述的静电放电保护装置, 其特征在于: 更包括一虚置栅极, 形成于该第一导电型第一扩散区与该第二导电型第二扩散区之间。

10. 根据权利要求 1 所述的静电放电保护装置, 其特征在于: 该第一导电型第一扩散区接触该第二导电型第二扩散区。

高压集成电路的静电放电保护装置

技术领域

本发明是有关于一种静电放电 (ESD) 防护装置, 特别是有关于一种透过寄生的硅控整流器 (silicon controlled rectifier, SCR) 提供放电路径的静电放电防护装置。

背景技术

集成电路的 ESD 事件, 指的是具有高电压的静电电荷, 透过集成电路芯片的释放过程。虽然如此的静电电荷量通常不多, 但是, 因为高电压的原因, 其释放的瞬间能量也相当的可观, 如果没有善加处理, 往往会造成集成电路的烧毁。

因此, ESD 已经是半导体产品中重要的可靠度考量之一。比较为一般人熟悉的 ESD 测试有两种, 人体放电模式 (human body model, HBM) 以及机器放电模式 (machine model, MM)。一般商业用的集成电路都必须具备一定程度的 HBM 以及 MM 的耐受度, 才可以贩售, 否则, 集成电路非常容易因为偶然的 ESD 事件而损毁。也因此, 如何制造一个有效率的 ESD 防护装置/组件, 来保护集成电路, 也是业界一直不断探索与研究的问题。

SCR 是一个很普遍地适用 ESD 防护装置的组件。图 1 为硅控整流器的 IV 曲线图。因为 SCR 本身的持守电压 V_{hold} 非常的低 (大约为 1V 左右), 在 ESD 事件中, SCR 所产生的热功率 ($I_{ESD} * V_{hold}$) 将会较其它种类的 ESD 防护组件, 譬如说二极管、MOS、双接面晶体管 (bipolar junction transistor, BJT) 等, 来的低。所以, SCR 可以在相同的面积下, 耐受较高的 ESD 应力。

图 2 为美国专利编号 6,459,127 所显示的一 ESD 防护组件,同时也是作为一耐受高电压的金属氧化物半导体场效应晶体管 (metal-oxide-semiconductor field effect transistor, MOS)。如图所示,此 MOS 为 NMOS。NMOS 的栅极 110 设于 P 型基底 100 上,源极以 N⁺扩散区 112 所构成,漏极实际上是以 N 型井区 102 所构成,但是由 N⁺扩散区 106 作为电极连接点。栅极 110 用以控制 N⁺扩散区 112 与 N 型井区 102 的电连接,可以接至接地线或是接至前级驱动器(pre-driver),视电路要求而定。

P 型基底 100 透过 P⁺扩散区 116 耦接至接地线。N⁺扩散区 112 也耦接至接地线。漏极透过 N⁺扩散区 106 接至接合焊垫 pad。利用 N 型井区 102 与 P 型基底 100 之间的高崩溃电压,所以图 2 中的 NMOS 可以承受高电压的电子信号由接合焊垫 pad 输入。

P⁺扩散区 104 的存在,所以形成了一个寄生的 SCR,由 P⁺扩散区 104、N 型井区 102、P 型基底 100 以及 N⁺扩散区 112 所构成。图 2 中的虚线与箭头表示当 ESD 事件发生时的放电路径 A。当一对接地线为正电压的 ESD 事件发生于接合焊垫 pad 时,于 SCR 触发后,电流由接合焊垫 pad 开始,经过 P⁺扩散区 104、N 型井区 102、P 型基底 100 及 N⁺扩散区 112,到接地线而释放。

发明内容

本发明的主要目的在于提供一种使用于高电压 MOS 的 ESD 保护装置,具有较高的 ESD 耐受力及导通速度。

为达到上述目的,本发明提出一种高压集成电路的静电放电保护装置,包括:一第一导电型基底、一场效应晶体管(field effect transistor)、一第二导电型第二扩散区以及一第一导电型第一扩散区。

该场效应晶体管包括:一第二导电型井区、一第二导电型第一扩散区以及一栅极。该第二导电型井区与第二导电型第一扩散区,均形成于该

基底中。该栅极，用以控制该第二导电型第一扩散区与该井区的电连接。该第二导电型第二扩散区，形成于该井区中，作为该井区的电接触点。该第一导电型第一扩散区，形成于该井区中，位于该第二导电型第二扩散区与该栅极之间，其中，该第一导电型第一扩散区、该井区、该基底以及该第二导电型第一扩散区组成一寄生的硅控整流器。

第一导电型可以是P型或是N型，第二导电型可以是N型或是P型。

附图说明

图1为硅控整流器的IV曲线图；

图2为公知ESD防护组件的剖面示意图；

图3为具有本发明的ESD保护装置的一耐高电压NMOS的剖面示意图；

图4为具有本发明的ESD保护装置的一耐高电压NMOS的第二实施例剖面示意图；

图5为具有本发明的ESD保护装置的一耐高电压NMOS的第三实施例剖面示意图；

图6为具有本发明的ESD保护装置的一耐高电压PMOS的第一实施例剖面示意图；

图7为具有本发明的ESD保护装置的一耐高电压PMOS的第二实施例剖面示意图；

图8为具有本发明的ESD保护装置的一耐高电压PMOS的第三实施例剖面示意图。

符号说明：

100、200：P型基底

102、202：N型井区

104、116、204、216：P⁺扩散区

106、112、206、212: N⁺扩散区

108、114、208、214、222: 场氧化区

110、210: 栅极

224: 虚置栅极

pad: 接合焊垫

具体实施方式

为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合所附图式，作详细说明如下：

图3为具有本发明的ESD保护装置的一耐高电压NMOS的剖面示意图。如图所示，此NMOS的栅极210设于P型基底200上，源极以N⁺扩散区212所构成，漏极实际上是以N型井区202所构成，但是由N⁺扩散区204作为电极连接点。栅极210用以控制N⁺扩散区212与N型井区202的电连接，可以接至接地线或是接至前级驱动器(pre-driver)，视电路要求而定。

P型基底200透过P⁺扩散区216耦接至接地线。N⁺扩散区212也耦接至接地线。漏极透过N⁺扩散区204接至接合焊垫pad。利用N型井区202与P型基底200之间的高崩溃电压，所以图3中的NMOS可以承受高电压的电子信号由接合焊垫pad输入。

场氧化区214分隔了N⁺扩散区212与P⁺扩散区216。场氧化区208设于P⁺扩散区206与栅极210之间，利用厚的氧化层来隔绝栅极210与N型井区202。如果没有场氧化区208，栅极210下的栅极氧化层可能因为在正常操作时，跨压过大而崩溃。场氧化区可由STI或LOCOS其中一种方法所形成。

P⁺扩散区206设于N⁺扩散区204与栅极210之间，耦接至接合焊垫

pad。P⁺扩散区 206 的存在，所以形成了一个寄生的 SCR，由 P⁺扩散区 206、N 型井区 202、P 型基底 200 以及 N⁺扩散区 212 所构成。

当接合焊垫 pad 于正常操作下(未发生 ESD 事件)，则耦合一高电位，由于 P 型基底 200 与 N 型井区 202 均为低掺杂浓度，故 P 型基底 200 与 N 型井区 202 间的 PN 接面具有一较高的崩溃电压，在未发生 ESD 事件时，无法导通 P 型基底 200 与 N 型井区 202 的 PN 接面，故在正常操作下，寄生的 SCR 不会导通。

当一对接地线为负电压的 ESD 事件发生于接合焊垫 pad 时，由于 N 型井区 202 透过 N⁺扩散区 204 接至接合焊垫 pad，P 型基底 200 透过 P⁺扩散区 216 耦接至接地线，因此 P 型基底 200 与 N 型井区 202 的 PN 接面顺向导通，使得接地线与接合焊垫 pad 短路，而释放 ESD 电流。

当一对接地线为正电压的 ESD 事件发生于接合焊垫 pad 时，图 3 中的虚线与箭头表示当 ESD 事件发生时的放电路径 B。于寄生的 SCR 触发后，电流由接合焊垫 pad 开始，经过 P⁺扩散区 206、N 型井区 202、P 型基底 200 及 N⁺扩散区 212，到接地线而释放。

与公知技术相比较，如果所有区域的大小都一样的条件下，图 3 中的放电路径 B 明显的比图 2 的放电路径 A 来的短，因为放电路径 A 须绕过 N⁺扩散区 106，而放电路径 B 则不需要。ESD 放电路径的长短，同时也意味着 ESD 触发时间的快慢。较短者于 ESD 事件时，会具有较快的反应速度。早期的触发更能够在内部电路尚未受伤之前便释放 ESD 电荷，相对的会具有较佳的 ESD 防护效果。所以，与公知技术相比较，运用本发明的 ESD 保护装置的耐高电压 NMOS 将会有较高的 ESD 耐受力。

图 3 中的 N⁺扩散区 204 与 P⁺扩散区 206 虽然是相互接触，但是也可以相隔一间隙。图 4 与图 5 为此概念下的两个实施例。图 4 中，此间隙以场氧化区 222 所构成；在图 5 中，此间隙以虚置栅极(dummy gate)224 所构成，虚置栅极 224 没有接到任何 DC 电源，为一个浮置(floating)闸。

P 型组件与 N 型组件之间的转换，为业界人士所熟悉，同样也可适用于本发明的结构。图 6 至图 8 为运用本发明的三个 PMOS 剖面图，分别对应至图 3 至图 5。其中，除了导电性 N 与 P 的对调之外，VSS 电源线(较低电压电源线)也换成 VDD 电源线(较高电压电源线)。

利用本发明所提出的结构，除了可以产生一个寄生的 SCR 外，更可以提供一個比較短的 ESD 放电路径，能够有效改善静电放电保护装置导通速度，快速排放 ESD 电荷。使用本发明的 MOS，将可以显著提升集成电路产品对 ESD 的耐受力。

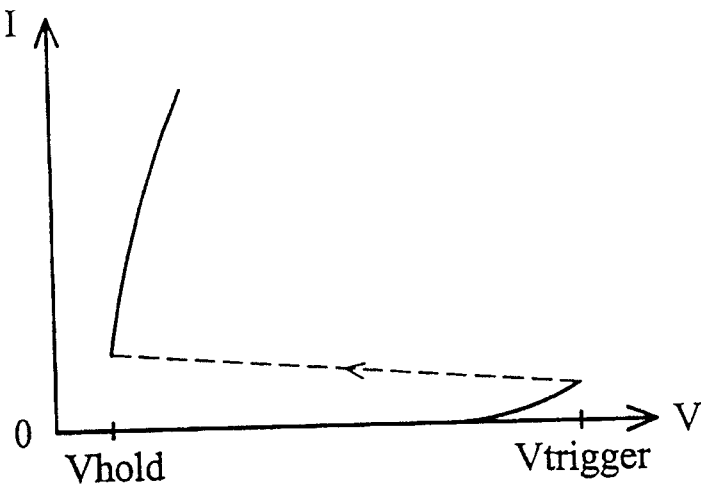


图1

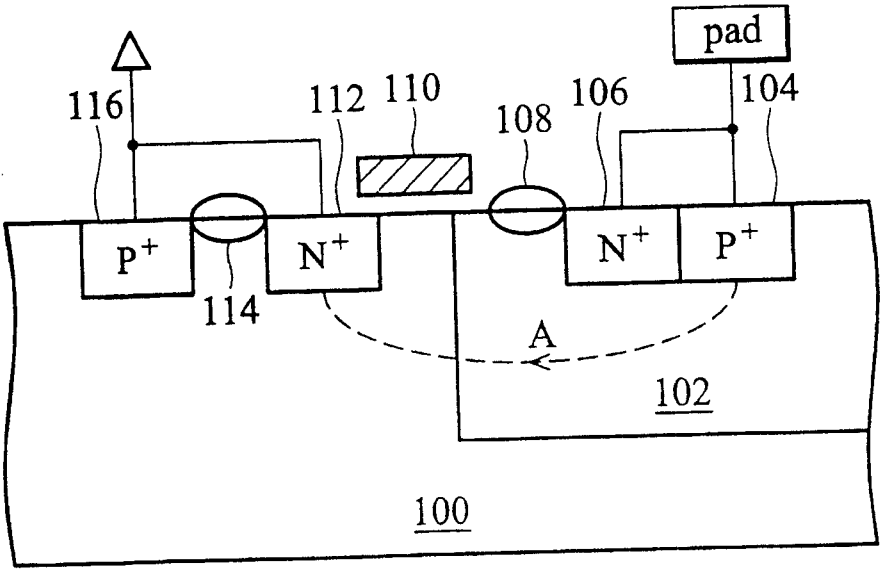


图2

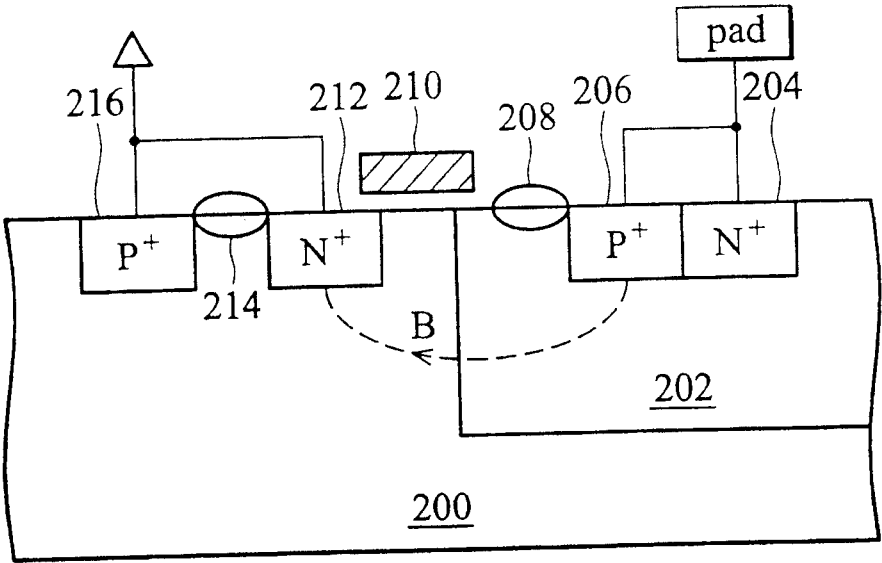


图 3

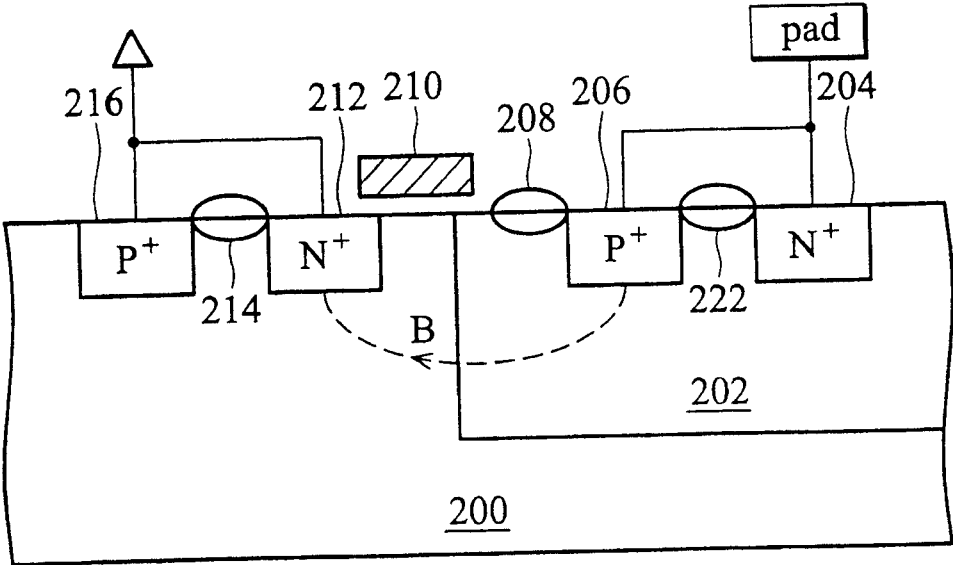


图 4

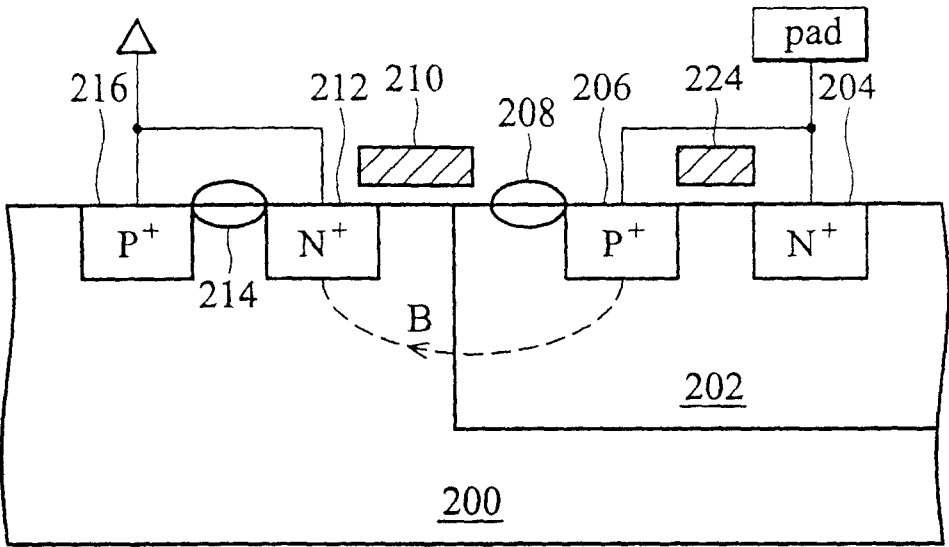


图5

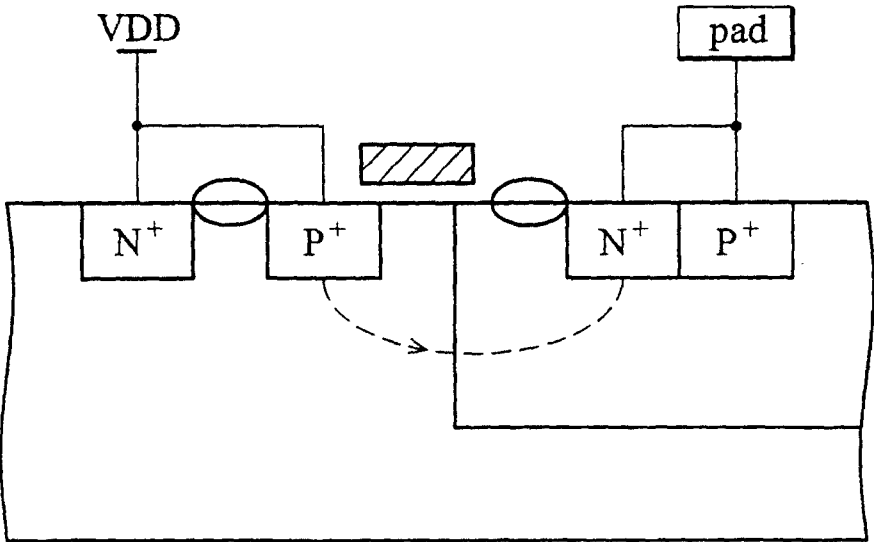


图6

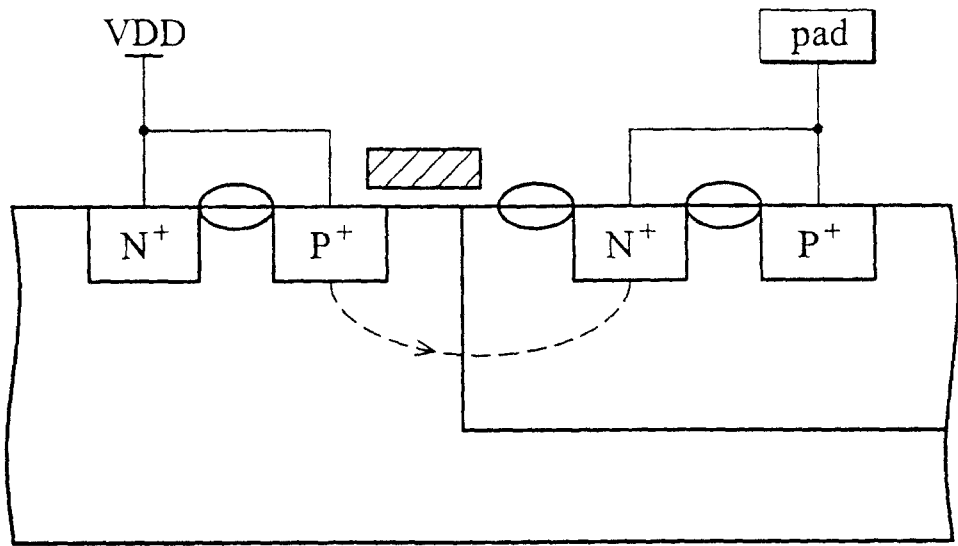


图7

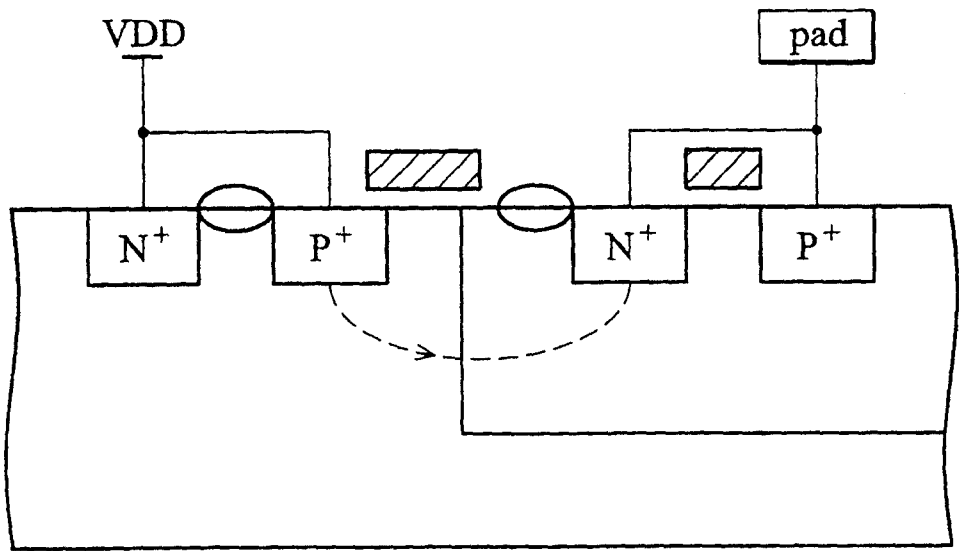


图8